

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274236

(P2001-274236A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
H 0 1 L	21/762	H 0 1 L 27/12	L 5 F 0 3 2
	27/04	21/76	D 5 F 0 3 8
	21/822	27/04	U 5 F 0 4 8
	21/8234	27/08	1 0 2 A 5 F 0 8 3
	27/088	27/10	6 2 1 B 5 F 1 1 0
審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願2000-83557 (P2000-83557)

(22) 出願日 平成12年3月24日 (2000.3.24)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 本間 運也

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100085213

弁理士 鳥居 洋

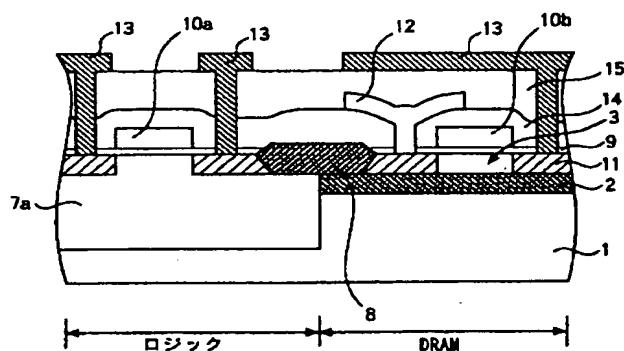
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 この発明は、高速で低消費電力のDRAMとロジック回路を1チップで混載できる半導体装置を提供することを目的とする。

【解決手段】 P型シリコン基板1上に埋め込み酸化膜2及びSOI膜3を形成し、その上にDRAM部を設けた第2の領域と、SOI膜3及び埋め込み膜化膜2を越えた位置まで除去し、P型ウェル7aをエピタキシャル形成した上にロジック部を設けた第1の領域を素子分離領域8で区分して1チップに混載形成する。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 基板がSOI層及び埋め込み膜が除去された第1の領域と前記SOI層を有する第2の領域とに区分され、前記第1の領域に第1の集積回路が設けられ、前記第2の領域に第2の集積回路が設けられていることを特徴とする半導体装置。

【請求項2】 前記第1の領域は、SOI層及び埋め込み膜が除去された基板上に選択エピタキシャルにより形成されたエピタキシャル層であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の集積回路はロジック回路であり、第2の集積回路はDRAMであることを特徴とする請求項1又は2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、2種類の回路を含んだ集積回路を1チップに混載した半導体装置に関する。

【0002】2種類の回路、例えば、ロジック回路とDRAM（ダイナミックランダムアクセスメモリ）を1チップに混載した場合、従来ボトルネックになっていたロジックとDRAM間のバス幅を広くすることができ、高速化が可能となる。また、ロジックとDRAMを繋ぐ基板の配線が不要となるために低消費電力化が可能となるという特徴がある。

【0003】しかし、ロジックとDRAMを単に1チップ化しようとする場合、次の問題がある。ロジックのn型トランジスタの基板バイアスは0Vであるが、DRAMのn型トランジスタの基板バイアスは-1〜-2Vである。また、ロジック部で発生するノイズがアナログ動作をしているDRAMに悪影響を与える。すなわち、“H”又は“L”に書き込みしていたデータが“L”又は“H”に変わる誤動作である。

【0004】従来、このロジックとDRAMのn型トランジスタの基板バイアスが異なる問題点をp型ウェルを独立に作る方法で解決している。図4にかかる構成の半導体装置の構造を示す。図4に示すように、p型シリコン半導体基板40に2つのp型ウェル41、42が設けられ、DRAMのp型ウェル42はn型ウェル43で覆われ、各々のp型ウェル41、42が電気的に分離されている。そして、素子分離領域44によりそれぞれの素子は互いに分離されている。

【0005】基板40表面にはゲート酸化膜45が設けられ、ゲート用ポリシリコン膜を堆積後、所定の形状にパターニングして、ゲート電極46…がそれぞれ設けられている。そして、p型ウェル41、42にはそれぞれソース/ドレインとなるn型拡散領域47…が設けられている。ゲート電極46…上に層間絶縁膜48が設けられ、DRAMのストレージノード用コンタクトホールを形成して、ストレージノード用ポリシリコンを堆積し、

2

エッチングにより所望の形状のストレージノード49が設けられる。DRAMキャパシタ用の絶縁膜を堆積後、セルプレート用ポリシリコンを堆積し、エッチングにより所望の形状のセルプレートが形成される。そして、層間絶縁膜50を堆積後、コンタクトホールを形成後、メタル電極51が設けられる。

【0006】上記した半導体装置においては、各々のp型ウェルを電気的に分離でき、基板バイアスが異なるものにおいても問題なく動作が行える。また、ロジック部で発生するノイズをブロックすることもできる。

【0007】

【発明が解決しようとする課題】上記したロジック用のp型ウェルとDRAM用のp型ウェルを分離するn型ウェルの形成方法は次の2種類の方法がある。1つは高エネルギーイオン注入装置を用いて、燐（P）をシリコン基板の深さ3μmまで注入する方法である。もう1つは、Pをシリコン表面にイオン注入した後に熱処理によって表面から深いところに拡散させる方法である。

【0008】しかしながら、前者の方法では、高エネルギーイオン注入装置は非常に高価であるという問題がある。また、後者の方法では、Pが深さ方向だけでなく、横方向にも拡散拡散するために、チップ面積が拡大するという問題がある。

【0009】この発明は、上述した従来の問題点を解決するためになされたものにして、高速で低消費電力のDRAMとロジック回路を1チップで混載できる半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】この発明は、基板がSOI層及び埋め込み膜が除去された第1の領域と前記SOI層を有する第2の領域とに区分され、前記第1の領域に第1の集積回路が設けられ、前記第2の領域に第2の集積回路が設けられていることを特徴とする。

【0011】前記第1の領域は、SOI層及び埋め込み膜が除去された基板上に選択エピタキシャルにより形成されたエピタキシャル層であることを特徴とする。

【0012】また、前記第1の集積回路はロジック回路、第2の集積回路はDRAMに構成すればよい。

【0013】上記した構成によれば、第1の集積回路が基板のSOI層及び埋め込み膜が除去された領域上に、第2の集積回路がSOI層上にSOI基板上にそれぞれ形成されるため、基板バイアスを印加する必要がない。従って、ウェルを作り分ける必要がない。このため、非常に高価な高エネルギーイオン注入装置、チップサイズの増大を招く熱処理工程を回避することができる。

【0014】また、ロジック回路、DRAMを混載し、DRAMをSOI層上に形成することにより、DRAMにある埋め込み酸化膜によって、ロジック回路で発生したノイズを完全にブロックすることができる。

【0015】

10

20

30

40

50

3

【発明の実施の形態】以下、この発明の実施の形態につき図面を参照して説明する。図1は、DRAMとロジックを1チップに混載したこの発明の実施形態にかかる半導体装置の断面図である。

【0016】図1に示すように、この発明の半導体装置は、SOI (Silicon On Insulator) 基板を用いる。このSOI基板は、p型シリコン基板1上に埋め込み酸化膜2とSOI層3が設けられている。このSOI層3の領域にDRAMが形成される。また、ロジック部は、SOI基板を埋め込み酸化膜2を越える位置まで除去した後、選択エピタキシャル法により形成されたエピタキシャル層7に設けられたp型ウェル7aに形成されている。

【0017】エピタキシャル層7のp型ウェル7aとSOI層3とは素子分離領域8で分離されている。

【0018】エピタキシャル層7のp型ウェル7a及びSOI層3表面にはゲート酸化膜9が設けられ、ゲート用ポリシリコン膜を堆積後所定の形状にパターニングして、ゲート電極10a、10bがそれぞれ設けられている。そして、p型ウェル7a、SOI層3にはそれぞれソース/ドレインとなるn型拡散領域11…が設けられる。ゲート電極10a、10b上に層間絶縁膜14が設けられ、DRAMのストレージノード用コンタクトホールを形成して、ストレージノード用ポリシリコンを堆積し、エッチングにより所望の形状のストレージノード12が設けられる。DRAMキャパシタ用の絶縁膜を堆積後、セルプレート用ポリシリコンを堆積し、エッチングにより所望の形状のセルプレートが形成される。そして、層間絶縁膜15を堆積後、コンタクトホールを形成後、メタル電極13が設けられる。

【0019】このようにして、エピタキシャル層7にロジック部がSOI層3にDRAM部が設けられ、ロジックとDRAMを混載したこの発明にかかる半導体装置が構成される。

【0020】上記した構成によれば、DRAM部にある埋め込み酸化膜によって、ロジック部で発生したノイズを完全にブロックすることができる。また、DRAMはSOI基板上に形成されるため、基板バイアスを印加する必要がない。従って、ウェルを作り分ける必要がない。このため、非常に高価な高エネルギーイオン注入装置、チップサイズの増大を招く熱処理工程を回避することができる。

【0021】また、ロジック部のトランジスタはSOI基板上に形成されていないので、寄生バイポーラ効果は発生しない。従って、ロジック部では電源電圧を1.5V以上にすることが可能である。DRAMはSOI基板上に形成されているために、保持電荷のリーク経路の主な箇所であるpn接合がほとんどなくなる。従って、DRAMのデータ保持時間は長くなり、さらなる低消費電力化が可能となる。

4

【0022】次に、この発明の実施形態を図2及び図3に従い、工程順に説明する。

【0023】まず、図2(a)に示すように、p型シリコン基板1に埋め込み酸化膜2とその上に設けられたp型SOI層3とかなるSOI基板を用意する。

【0024】続いて、図2(b)に示すように、SOI基板上に熱酸化によりシリコン酸化膜4を形成した後、通常のリソグラフィ技術により、レジストを塗布し、露光、現像し、DRAM領域をレジスト膜5で被覆する。

【0025】そして、図2(c)に示すように、レジスト膜5をマスクとして、ロジック部のシリコン酸化膜4、SOI層3、埋め込み酸化膜2を反応性イオンエッチング(RIE)により除去する。このエッチングは、例えば、CF₄、CHF₃、O₂、Arガスをを用いて、10Pa下でRIEエッチングにより行う。レジスト膜5を除去する。

【0026】次に、図2(d)に示すように、シリコン酸化膜4をマスクとして、ロジック部に選択エピタキシャル法によりシリコンエピタキシャル層7を成長させる。この選択エピタキシャルは、SiH₂Cl₂-H₂-HClガス系、減圧、低温での成長を行って、表面が平坦なエピタキシャル層7を形成する。

【0027】続いて、図2(e)に示すように、ロジック部にp型ウェル7aを形成する。このp型ウェルの形成は、例えば、エピタキシャル層7表面にボロン(B)をイオン注入した後、熱処理によって拡散させて形成する。

【0028】次に、図3(d)に示すように、ロジック部とDRAM部との間に周知の選択酸化法(LOCOS)により素子分離領域8を形成する。そして、熱酸化により基板表面にゲート酸化膜9を形成する。なお、素子分離は、LOCOS以外に、STI(Shallow Trench Isolation)法により行っても良い。

【0029】その後、図3(g)に示すように、LPCVD法でポリシリコン膜を堆積させ、このポリシリコン膜表面にフォトレジストを堆積後、所望の寸法に形成する。その後、フォトレジストをマスクにして、ポリシリコン膜をエッチングして、ロジック部用ゲート電極10aとDRAM用のゲート電極10bを形成する。そして、トランジスタのソース・ドレインとなる拡散層11を形成するために不純物をイオン注入する。注入条件として、例えば、30keV、2E15cm⁻²の条件で砒素(As)を注入する。RTA(Rapid Thermal Annealer)により熱処置を施し、ソース/ドレイン領域11…を活性化させる。

【0030】次に、図3(h)に示すように、層間絶縁膜14を堆積後、DRAMのストレージノード用コンタクトホールを形成して、ストレージノード用ポリシリコンを堆積し、エッチングにより所望の形状のストレージ

5

ノード12を形成する。

【0031】その後、図示はしないが、DRAMキャパシタ用の絶縁膜を堆積後、セルプレート用ポリシリコンを堆積し、エッチングにより所望の形状のセルプレートを形成する。そして、図3(i)に示すように、層間絶縁膜15を堆積後、コンタクトホールを形成後、メタルを堆積させ、このメタルをエッチングにより所望の寸法にし、メタル電極13を形成する。

【0032】上記のようにして形成することで、DRAMとロジックとが、1チップ上に混載できる。

【0033】なお、上記した実施の形態においては、ロジック回路とDRAMとを1チップに混載しているが、ロジック回路とRF回路を1チップに混載することもできる。RF回路をSOI層上に形成すれば、上記した実施形態と同様に、ロジック部からノイズをカットすることができる。

【0034】また、上記した実施の形態においては、エピタキシャル層にロジック部を設けているが、SOI層と埋め込み膜をエッチング除去した基板上に直接ロジック部を形成しても良い。

【0035】

【発明の効果】以上説明したように、この発明によれば、高速で低消費電力のDRAMとロジック回路とを1

6

チップに混載した集積回路を実現することができる。

【図面の簡単な説明】

【図1】この発明の実施形態にかかるDRAMとロジック回路を混載した半導体装置の断面図である。

【図2】この発明の半導体装置の製造方法を工程別に示す断面図である。

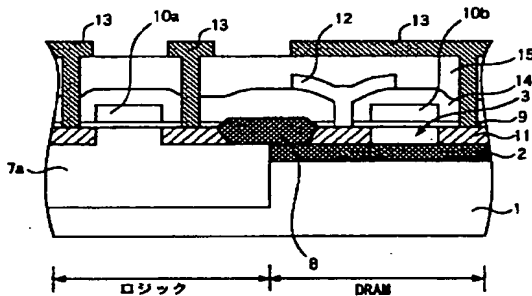
【図3】この発明の半導体装置の製造方法を工程別に示す断面図である。

【図4】従来のDRAMとロジック回路を混載した半導体装置の断面図である。

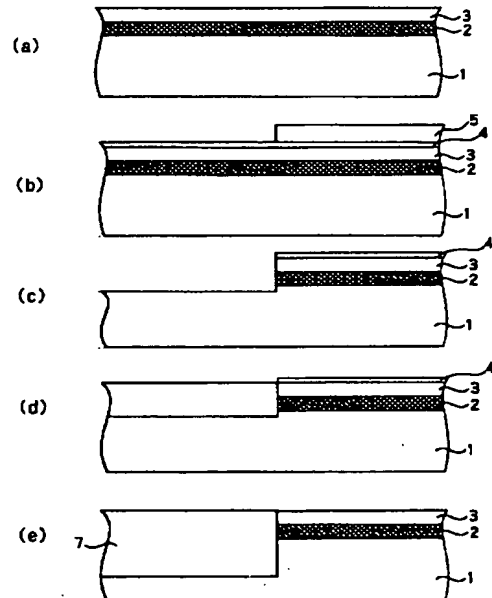
【符号の説明】

- 1 p型シリコン基板
- 2 埋め込み酸化膜2
- 3 SOI層3
- 7 エピタキシャル層
- 7a p型ウェル
- 8 分離領域
- 9 ゲート酸化膜
- 10a、10b ゲート電極
- 11 n型拡散領域
- 12 ストレージノード
- 13 メタル電極

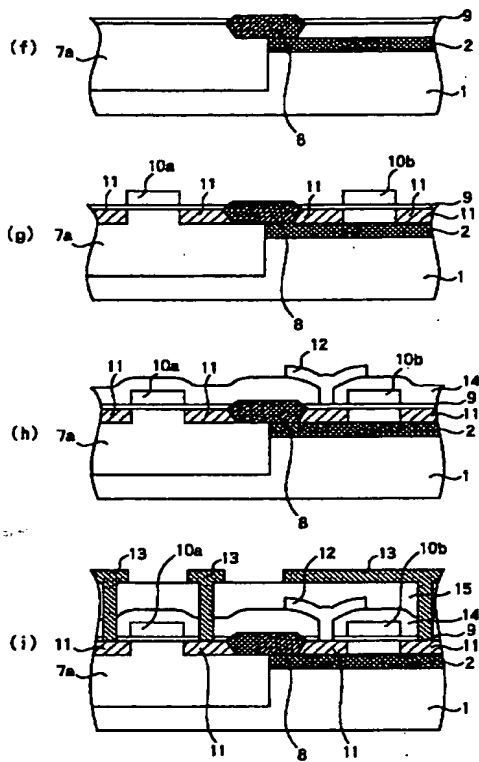
【図1】



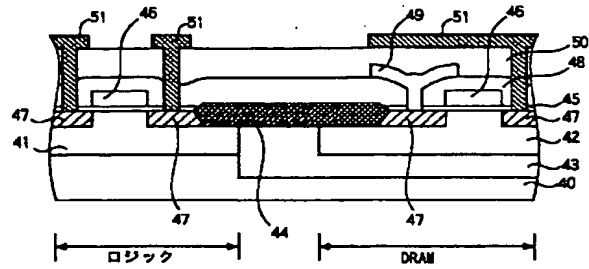
【図2】



【図 3】



【圖 4】



フロントページの続き

(51) Int. Cl. 7

識別記号

FI

テーマコート* (参考)

H O 1 L 27/108
21/8242
27/12
29/786

H O 1 L 27/10
29/78

6 7 1 C
6 8 1 F
6 1 3 Z

Fターム(参考)	5F032	AA13	AA34	CA01	CA03	CA07
		CA09	CA17	CA21	DA03	DA12
		DA23	DA43	DA53	DA74	
	5F038	CA03	CA05	DF01	DF04	DF05
		DF12	EZ06	EZ14		
	5F048	AA01	AC01	BA01	BA16	BG12
	5F083	AD22	GA06	HA02	HA07	NA01
		NA02	PR03	PR21	PR34	PR36
	5F110	AA01	AA04	AA09	AA30	BB04
		BB06	CC02	DD05	EE09	FF02
		FF23	GG02	GG12	HJ01	HJ12
		HJ23	HL02	NN02	NN62	NN65
	NN66	NN72				